

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330580
 (43)Date of publication of application : 13.12.1996

(51)Int.CI. H01L 29/78
 H01L 21/336

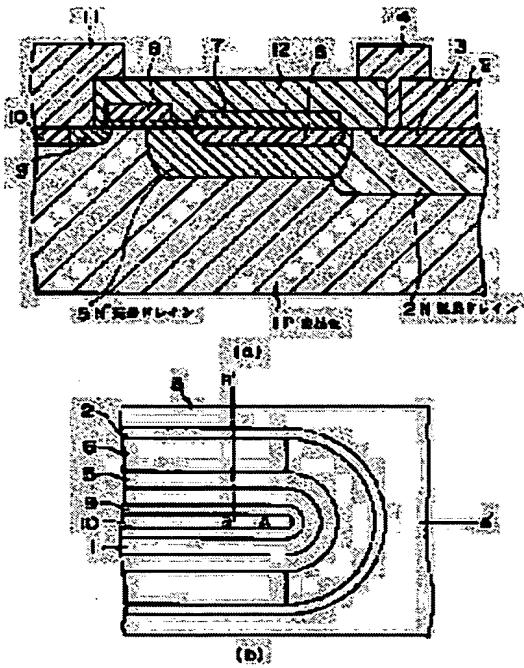
(21)Application number : 07-135000 (71)Applicant : NEC CORP
 (22)Date of filing : 01.06.1995 (72)Inventor : KOISHIKAWA YUKIMASA

(54) HIGH BREAKDOWN VOLTAGE LATERAL MOSFET SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the breakdown voltage between a drain and a source, in the case of layout on a chip, in a lateral MOSFET semiconductor device.

CONSTITUTION: When a lateral MOSFET semiconductor device is laid out on a chip, the corner part formed in a pattern turning-back part is constituted as follows: An N extended drain 2, an N-extended drain 5, an N+ source 9, and a P+ back gate 10 are formed on a P-type substrate 1. A P top layer 6 is formed in the N-extended drain 5. An N+ drain 3 is formed in the N extended drain 2.



LEGAL STATUS

[Date of request for examination]	01.06.1995
[Date of sending the examiner's decision of rejection]	07.04.1999
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3356586
[Date of registration]	04.10.2002
[Number of appeal against examiner's decision of rejection]	11-07758
[Date of requesting appeal against examiner's decision of rejection]	06.05.1999
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-330580

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.⁶
H 01 L 29/78
21/336

識別記号 序内整理番号

F I
H 01 L 29/78

技術表示箇所
301P
301W

審査請求 有 請求項の数4 O.L (全5頁)

(21)出願番号 特願平7-135000

(22)出願日 平成7年(1995)6月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小石川 幸正

東京都港区芝五丁目7番1号 日本電気株式会社内

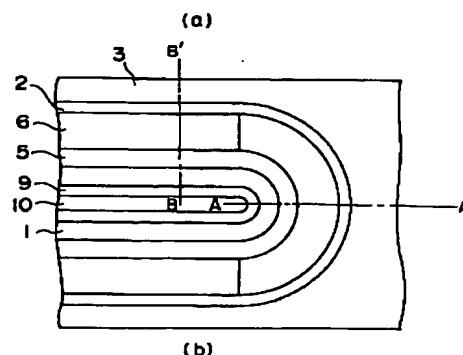
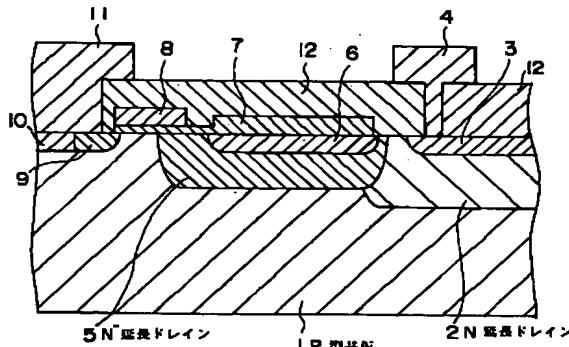
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 高耐圧横型MOSFET半導体装置

(57)【要約】

【目的】 横型MOSFET半導体装置において、チップ上にレイアウトした際のドレイン、ソース間ブレークダウン電圧を高くする。

【構成】 横型MOSFET半導体装置をチップ上にレイアウトした際、パターン折り返し部にできるコーナー部の構造を、P型基板1上にN⁻延長ドレイン2、N⁻延長ドレイン5、N⁺ソース9、P⁺バックゲート10を形成し、N⁻延長ドレイン5の中に、Pトップレイヤー6を形成し、N延長ドレイン2の中にはN⁺ドレイン3を形成する。



【特許請求の範囲】

【請求項1】 P型基板上にN型のドレイン延長領域を備え、それと接して前記ドレイン延長領域よりも濃度の低いN⁻ 延長ドレイン領域を備え、また、前記N型のドレイン延長領域の表面に、濃度の高いN⁺ ドレイン層を備え、前記P型基板上にN⁺ 型のソース領域とP⁺ 型のバックゲート領域を備えている横型MOSFET半導体装置において、レイアウトパターンのコーナー部が、P型基板上にN型のドレイン延長領域を備え、それと接して前記ドレイン延長領域よりも濃度の低いN⁻ 延長ドレイン領域を備え、また、前記N型のドレイン延長領域の表面に、濃度の高いN⁺ ドレイン層を備え、前記P型基板上にN⁺ 型のソース領域とP⁺ 型のバックゲート領域を備えていることを特徴とする高耐圧横型MOSFET半導体装置。

【請求項2】 前記各領域が逆の導電型を備えていることを特徴とする請求項1記載の高耐圧横型MOSFET半導体装置。

【請求項3】 前記N⁻ 延長ドレイン領域の表面にP型トップレイヤーを備えていることを特徴とする請求項1記載の高耐圧横型MOSFET半導体装置。

【請求項4】 前記各領域が逆の導電型を備えていることを特徴とする請求項3記載の高耐圧横型MOSFET半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、横型MOSFET半導体装置の特性改善に関し、特にドレイン・ソース間の高耐圧化に関する。

【0002】

【従来の技術】 従来の横型MOSFET半導体装置は、例えば図6 (a) に示したように、P型基板1上にN延長ドレイン2、N⁻ 延長ドレイン5、N⁺ ソース9、P⁺ バックゲート10をもち、N延長ドレイン2の中にN⁺ ドレイン3とPトップレイヤー6が設けられている。この従来の横型MOSFET半導体装置では、N⁺ ドレイン3とN⁺ ソース9およびP⁺ バックゲート10の間に電圧が印加されると、P型基板1およびPトップレイヤー6とN⁻ 延長ドレイン5およびN延長ドレイン2の間にも電圧が加わり、N⁻ 延長ドレイン5とN延長ドレイン2の中には空乏層が広がる。なお、4はドレイン電極、7は絶縁膜、8はゲート電極、11はソース電極、12は層間絶縁膜である。この技術は、すでに特開昭55-108773号公報に開示されている。

【0003】 このような従来の横型MOSFET半導体装置ではチップ上にレイアウトした場合、チップ面積の利用効率を上げるために、図6 (b) に示すように、通常パターンを折り返したレイアウトが行われる。このとき、折り返し部分ではパターンを曲げる領域ができる（以下この部分を「コーナー部」という）。

【0004】 このコーナー部ではドレインとソース間に電圧をかけた際、N延長ドレイン2とP型基板1およびPトップレイヤー6の間のブレークダウン電圧が、コーナー部以外の領域よりも低くなることが判明している。これは、以下に示す理由による。P-N接合に逆バイアスをかけた場合に広がる空乏層の幅は、拡散層中の電子とホールの電荷量がつり合うようにして決まる。たとえば図7に示した様に、階段接合においてN型中の電子濃度とP型中のホール濃度が同じで、平行にレイアウトされたパターンならば、N型中に広がる空乏層幅とP型中に広がる空乏層の距離は等しくなる。しかし、レイアウトがコーナー部を持つ場合、そのコーナー部で電子とホールの電荷量がつり合うためには、外側に延びる空乏層の距離が短くなる。このためコーナー部では、空乏層の幅は直線部分より狭くなるので、空乏層にかかる電界は大きくなり、ブレークダウン電圧も低くなる。実験によれば、例えばコーナー部以外の領域では600Vのブレークダウン電圧があるのに対し、コーナー部では400Vのブレークダウン電圧しかなくなってしまう。このため、横型MOSFET半導体装置全体のブレークダウン電圧は、このコーナー部で決定されていた。

【0005】 また、米国特許USP5258636号明細書には、特開昭55-108773号公報と類似した構造のデバイスにおける、コーナー部のブレークダウン電圧を向上する方法が開示されている。しかしこのUSP5258636号明細書で開示されている構造では、コーナー部にチャネルを設けることができないため、MOSをオンしたときのドレイン、ソース間抵抗が増加する。

【0006】

【発明が解決しようとする課題】 上記に説明したように、特開昭55-108773号公報で開示された構造では、レイアウトした際のコーナー部で、ドレイン、ソース間ブレークダウン電圧が決定されてしまうため、コーナー部がない理想的な場合のブレークダウン電圧よりも、横型MOSFET半導体装置全体のブレークダウン電圧が低くなるという欠点があった。また、米国特許USP5258636号明細書で開示されている構造では、ドレイン、ソース間抵抗が増加するという欠点があった。

【0007】 そこで、本発明は、前記従来の技術の欠点を改良し、横型MOSFET半導体装置をチップ上にレイアウトした際のドレイン、ソース間ブレークダウン電圧を高くしようとするものである。

【0008】

【課題を解決するための手段】 本発明は、前記課題を解決するため、次の手段を採用する。

【0009】 (1) P型基板上にN型のドレイン延長領域を備え、それと接して前記ドレイン延長領域よりも濃度の低いN⁻ 延長ドレイン領域を備え、また、前記N型

のドレイン延長領域の表面に、濃度の高いN⁺ドレイン層を備え、前記P型基板上にN⁺型のソース領域とP⁺型のバックゲート領域を備えている横型MOSFET半導体装置において、レイアウトパターンのコーナー部が、P型基板上にN型のドレイン延長領域を備え、それと接して前記ドレイン延長領域よりも濃度の低いN⁻延長ドレイン領域を備え、また、前記N型のドレイン延長領域の表面に、濃度の高いN⁺ドレイン層を備え、前記P型基板上にN⁺型のソース領域とP⁺型のバックゲート領域を備えている高耐圧横型MOSFET半導体装置。

【0010】(2) 前記各領域が逆の導電型を備えている前記(1)記載の高耐圧横型MOSFET半導体装置。

【0011】(3) 前記N⁻延長ドレイン領域の表面にP型トップレイヤーを備えている前記(1)記載の高耐圧横型MOSFET半導体装置。

【0012】(4) 前記各領域が逆の導電型を備えている前記(3)記載の高耐圧横型MOSFET半導体装置。

【0013】

【実施例】本発明の実施例について図面を参照して説明する。

【0014】 まず、本発明の第1実施例を説明する。図1(a)は、本発明の第1実施例の横型MOSFET半導体装置の断面図である。図1(b)および図2(a)は、それぞれ、第1実施例のレイアウト図とN延長ドレイン2の領域を示したレイアウト図である。ここで、B～B'の断面は図6(a)と同じである。図1(a)において、抵抗率40ΩcmのP型基板1上に、ピーク濃度 $1.5 \times 10^{-16} / \text{cm}^3$ で深さ8μmのN延長ドレイン2、ピーク濃度 $1 \times 10^{-16} / \text{cm}^3$ で深さ7.5μmのN⁻延長ドレイン5、N⁺ソース9、P⁺バックゲート10を形成し、N⁻延長ドレイン5の中に、深さ0.5μmのPトップレイヤー6を形成する。N延長ドレイン2の中にはN⁺ドレイン3を形成する。N⁺ドレイン3とN⁺ソース9およびP⁺バックゲート10の間に電圧が印加されると、P型基板1およびPトップレイヤー6とN⁻延長ドレイン5の間にも電圧が加わり、N⁻延長ドレイン5の中に空乏層が広がる。N⁻延長ドレイン5とP型基板1およびPトップレイヤー6の間のブレークダウン電圧は、その濃度の違いのため、コーナー部以外の領域で形成されている。延長ドレイン2とP型基板1およびPトップレイヤー6の間のブレークダウン電圧、例えば実験によると600Vと同等がそれより高くなる。このようにして、コーナー部のブレークダウン電圧を上げることで、横型MOSFET半導体装置全体のブレークダウン電圧を高くすることが可能になる。また、本実施例ではMOSがオンのとき、コーナー部でもゲート電極8の下にチャネルが形成されるため、ドレイ

ン、ソース間抵抗が増加しないという利点がある。また、図4と図5にそれぞれ、他のコーナー部のレイアウト図と断面図、N延長ドレイン2の領域を示したレイアウト図を示す。このようなコーナ部でも同様な理由により、ブレークダウン電圧を向上することが可能である。

【0015】 次に、本発明の第2実施例について説明する。図3(a)は第2実施例の断面図、図3(b)および図2(b)はそれぞれ、第2実施例のレイアウト図とN延長ドレイン2の領域を示したレイアウト図である。ここで、B～B'の断面は図6(a)と同じである。図3(a)において、第1実施例と異なるのは、ゲート電極とN⁻延長ドレイン5の中にPトップレイヤーを形成していない点である。このようにPトップレイヤーを形成しなくても、コーナー部のブレークダウン電圧を上げることが可能である。この場合、ゲート電極がないため、コーナー部にチャネルは形成されないので、第1実施例の構造よりは、ドレイン、ソース間の抵抗は大きくなるが、N⁻延長ドレイン5があるため、電流はコーナー部以外に形成されるチャネルから、コーナー部のN⁻延長ドレイン領域にも流れ込み、N⁻延長ドレイン領域のない、U.S.P.5,258,636号明細書で開示されている構造より、抵抗が小さくなる。また、第1実施例より構造が簡単になるというメリットもある。

【0016】

【発明の効果】以上説明したように、本発明は、横型MOSFET半導体装置をチップ上にレイアウトした際にできるコーナー部の耐圧を延長ドレインのレイアウトを工夫することで高くし、横型MOSFET半導体装置全体のブレークダウン電圧を高くすることが可能になる。たとえば、コーナー部のブレークダウン電圧が400Vからコーナー部以外と同等の600Vになるため、横型MOSFET半導体装置全体のブレークダウン電圧も600Vと高くすることが可能になった。

【図面の簡単な説明】

【図1】本発明の第1実施例の横型MOSFET半導体装置を示し、(a)は(b)におけるA～A'間の断面図、(b)はレイアウト図である。

【図2】本発明の第1及び第2各実施例の横型MOSFET半導体装置のN延長ドレイン領域を示したレイアウト図であり、(a)は第1実施例のもの、(b)は第2実施例のものである。

【図3】本発明の第2実施例の横型MOSFET半導体装置を示し、(a)は(b)におけるA～A'間の断面図、(b)はレイアウト図である。

【図4】本発明の第1実施例の横型MOSFET半導体装置の他コーナー部を示し、(a)は(b)におけるA～A'間の断面図、(b)はレイアウト図である。

【図5】本発明の第1実施例の横型MOSFET半導体装置の他コーナー部のN延長ドレイン領域を示したレイアウト図である。

【図6】従来の横型MOSFET半導体装置を示し、(a)は(b)におけるA～A'間の断面図、(b)はレイアウト図である。

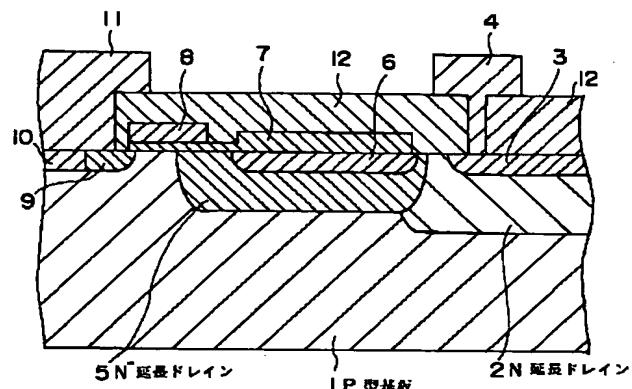
【図7】コーナー部での空乏層の説明図である。

【符号の説明】

- 1 P型基板
- 2 N延長ドレイン
- 3 N⁺ ドレイン
- 4 ドレイン電極

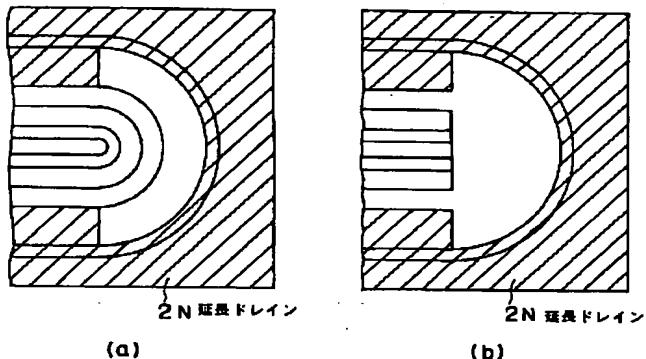
- 5 N⁻ 延長ドレイン
- 6 Pトッププレイヤー
- 7 絶縁膜
- 8 ゲート電極
- 9 N⁺ ソース
- 10 P⁺ バックゲート
- 11 ソース電極
- 12 層間絶縁膜

【図1】



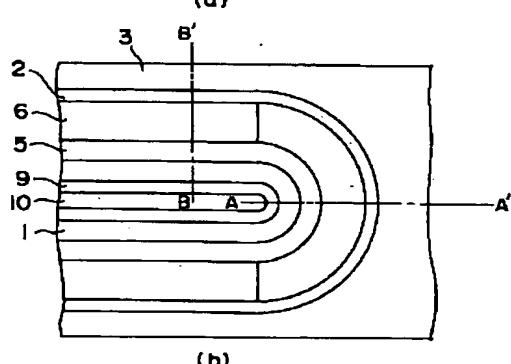
(a)

【図2】

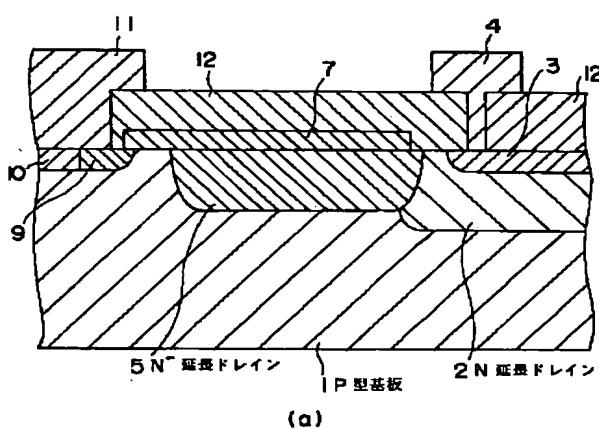


(a)

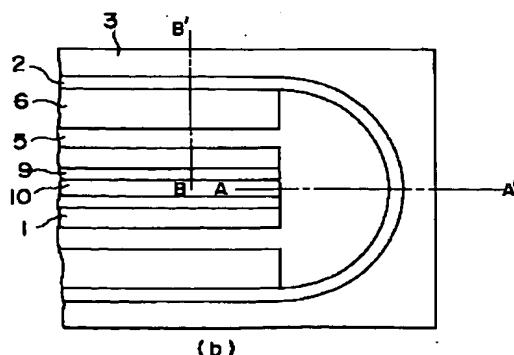
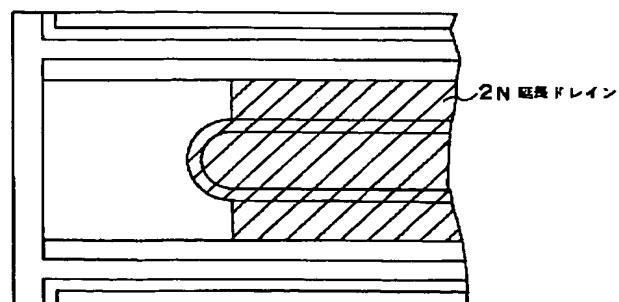
(b)



【図5】

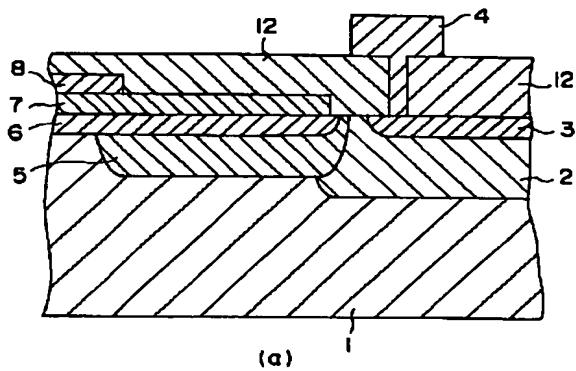


(a)



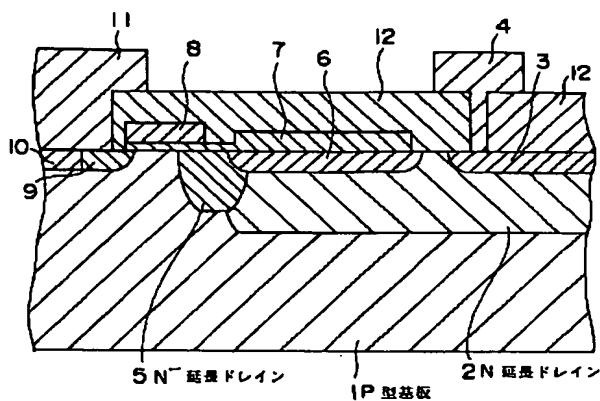
(b)

【図4】



(a)

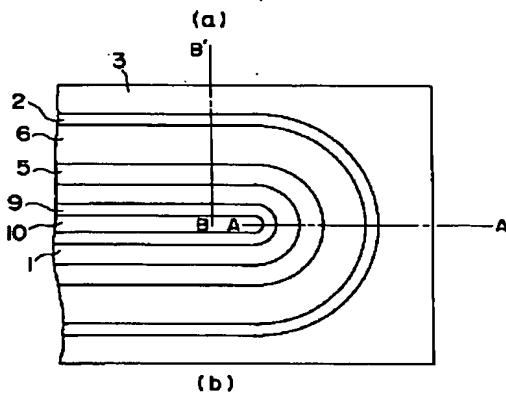
【図6】



5N-基層ドレイン

2N-延長ドレイン

1P型基板



(a)

(b)

【図7】

